

PROJETO DE HARDWARE COM MÁXIMO PARALELISMO PARA A TRANSFORMADA HADAMARD 4X4 DO PADRÃO H.264/AVC DE COMPRESSÃO DE VÍDEO

**COLVARA, Melissa¹; VISINTIN, Lidiane¹; REISER, Renata¹;
ROSA Jr, Leomar¹; MATTOS, Júlio; AGOSTINI, Luciano¹**

¹ Universidade Federal de Pelotas – {mdsrcolvara, lvisintin, reiser, leomarjr, julius,agostini}@inf.ufpel.edu.br

Este trabalho está focado na área de compressão de vídeo digital. Como tal tecnologia está em alta, propõe-se uma solução em hardware para um dos módulos do compressor H.264/AVC: a transformada Hadamard 4x4. O H.264/AVC é o estado da arte na compressão de vídeos, estando presente no Sistema Brasileiro de TV Digital, nos tocadores de *blu-ray*, entre outros. Então o projeto em hardware é importante para viabilizar o processamento em tempo real de vídeos de elevada resolução e para permitir aplicações embarcadas (com baixo consumo de energia e potência). O algoritmo da Hadamard 4x4 foi projetado em hardware com quatro estágios de *pipeline* e com consumo de dezesseis amostras por ciclo, ou seja, com o máximo paralelismo possível. Tal modelo realiza as operações de uma transformada completa com latência de quatro ciclos de relógio. A arquitetura projetada neste trabalho foi descrita em VHDL e sintetizada para um dispositivo FPGA da família Stratix II da Altera. A arquitetura utilizou 942 unidades lógicas, 574 registradores e 305 pinos do FPGA, atingindo 82,24MHz de frequência de operação. Para uma imagem *Full HD* (1920x1080 pixels) com uma sub-amostragem de 4:2:0 e 30 quadros por segundo, são 93.312.000 amostras (1920x1080x1,5x30) que devem ser processadas por segundo em um codec H.264/AVC, para que este esteja apto a processar vídeos *Full HD* em tempo real. No hardware desenvolvido, uma amostra leva 0,76ns e um quadro *Full HD* precisa de 2,36ms para ser processado. Então a arquitetura desenvolvida é capaz de processar até 423,73 quadros *Full HD* por segundo. Este resultado ultrapassa com folga os requisitos de processamento. Por isso, com apenas 5,8MHz é possível atingir a taxa 30 quadros por segundo e esta frequência reduzida permite uma expressiva redução no consumo de energia, uma vez que o consumo é diretamente proporcional à frequência de operação da arquitetura.

Palavras-chaves: Codificação de Vídeo, Transformadas em Hardware, Pipeline, VHDL, FPGA