



Realização:



Apoio:

**XVII CIC  
X ENPOS**Conhecimento sem fronteiras  
XVII Congresso de Iniciação Científica  
X Encontro de Pós-Graduação  
11, 12, 13 e 14 de novembro de 2008

## Exploração do Espaço de Projeto das Transformadas 4x4 Diretas do Padrão H.264/AVC de Compressão de Vídeo

**Autor(es):** SAMPAIO, Felipe; PALOMINO, Daniel; DORNELLES, Robson; AGOSTINI, Luciano;

**Apresentador:** Felipe Martin Sampaio

**Orientador:** Luciano Volcan Agostini

**Revisor 1:** Leomar Soares da Rosa Júnior

**Revisor 2:** Júlio Carlos Balzano de Mattos

**Instituição:** Universidade Federal de Pelotas

### Resumo:

Com surgimento da TV digital de alta definição, intensificaram-se os estudos sobre padrões mais eficientes de compressão de vídeo. Este trabalho está inserido no esforço para o desenvolvimento de hardware para dar suporte ao Sistema Brasileiro de Televisão Digital (SBTVD). O padrão de compressão escolhido para ser utilizado no SBTVD é o H.264/AVC. Tal padrão apresenta a maior taxa de compressão dentre os padrões existentes, sendo, também, o que possui a maior complexidade computacional. Devido a essa complexidade, soluções em software dos codificadores e decodificadores H.264/AVC dificilmente atingem tempo real (30 quadros por segundo) ao processar vídeos de alta definição. O módulo das transformadas, um dos módulos presentes no H.264/AVC, leva a imagem do domínio espacial para o domínio das frequências, para que a etapa seguinte (quantização) elimine as frequências imperceptíveis ao olho humano. Este módulo, juntamente com a quantização, faz parte de um caminho crítico de dados presente nos codificadores H.264/AVC. Por essa razão, tais operações devem ser realizadas o mais rápido possível, a fim de não comprometer o desempenho dos demais módulos do codificador. O padrão H.264/AVC define três operações de transformadas: DCT 4x4, Hadamard 4x4 e a Hadamard 2x2. Este trabalho realizou uma exploração no espaço de projeto para os algoritmos das transformadas DCT 4x4 direta e Hadamard 4x4 direta, visando encontrar soluções que tenham uma boa relação entre taxa de processamento (throughput) e latência, a fim de diminuir o tempo de processamento despendido pelo módulo das transformadas. Foram exploradas duas características importantes no projeto de circuitos digitais: nível de paralelismo e número de estágios de pipeline. Deste modo, cinco diferentes arquiteturas foram desenvolvidas para cada transformada. As arquiteturas foram descritas na linguagem de descrição de hardware VHDL e sintetizadas para um dispositivo FPGA da Altera, sendo, então, comparadas em termos de consumo de hardware, throughput e latência. A partir dos resultados de síntese, observou-se que todas as arquiteturas atingiram processamento em tempo real para vídeos de alta resolução. As melhores soluções apresentaram throughput variando entre três e sete bilhões de amostras processadas por segundo, com latências entre um e quatro ciclos de relógio. Comparadas a outros trabalhos da literatura, as soluções desenvolvidas apresentaram ganhos importantes na relação entre throughput e latência.