



restrições no projeto do caminho de dados da predição intra, ou seja, que possuam alta taxa de processamento e baixa latência (tempo de espera por um resultado).

## 2. MATERIAL E MÉTODOS

Neste trabalho foram desenvolvidas duas versões de arquiteturas para cada transformada inversa, uma com um estágio de *pipeline* e outra com dois estágios. As equações (1) e (2) mostram as transformadas inversas, IHAD 4x4 e IHAD 2x2 respectivamente definidas no padrão H.264/AVC, onde  $X$  representa os dados de entrada e  $Y$  os dados de saída das transformadas.

$$Y = \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \\ 1 & -1 & 1 & -1 \end{pmatrix} X \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \\ 1 & -1 & 1 & -1 \end{pmatrix} \quad (1)$$

$$Y = \begin{pmatrix} 1 & 1 \\ 1 & -1 \end{pmatrix} X \begin{pmatrix} 1 & 1 \\ 1 & -1 \end{pmatrix} \quad (2)$$

A equação (3) apresenta a IDCT 4x4 definida no H.264/AVC onde  $X$  é a matriz 4x4 de entrada,  $C_i$  é a matriz inteira da IDCT em uma dimensão,  $C_i^T$  é a transposta da IDCT em uma dimensão, e  $E_i$  é a matriz de fatores de escala. A operação  $\otimes$  indica uma multiplicação escalar.

$$Y = C_i^T (X \otimes E_i) C_i = \begin{pmatrix} 1 & 1 & 1 & \frac{1}{2} \\ 1 & \frac{1}{2} & -1 & -1 \\ 1 & -\frac{1}{2} & -1 & 1 \\ 1 & -1 & 1 & -\frac{1}{2} \end{pmatrix} \left( \begin{pmatrix} X \end{pmatrix} \otimes \begin{pmatrix} a^2 & ab & a^2 & ab \\ ab & b^2 & ab & b^2 \\ a^2 & ab & a^2 & ab \\ ab & b^2 & ab & b^2 \end{pmatrix} \right) \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & \frac{1}{2} & -\frac{1}{2} & -1 \\ \frac{1}{2} & -1 & -1 & 1 \\ \frac{1}{2} & -1 & 1 & -\frac{1}{2} \end{pmatrix} \quad (3)$$

As arquiteturas desenvolvidas consomem um bloco inteiro de entrada a cada ciclo de relógio. São dezesseis amostras no caso da IHAD 4x4 e da IDCT 4x4, e quatro no caso da IHAD 2x2.

A Figura 1 mostra a estrutura das arquiteturas de dois estágios de *pipeline*. No caso da IHAD 2x2 há somente quatro entradas e quatro saídas.

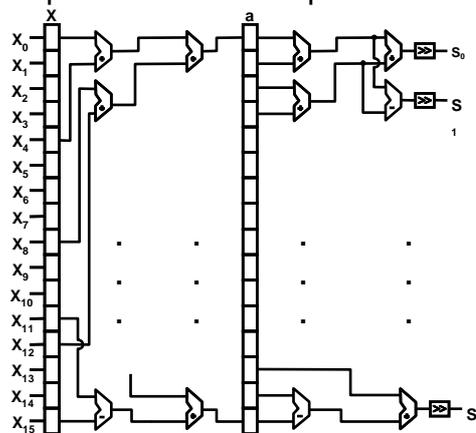


Figura 1. Estrutura das arquiteturas de 2 estágios de *pipeline*.

As arquiteturas que usam um estágio de *pipeline* possuem estrutura similar àquela apresentada na Figura 1, mas, neste caso, a barreira de registradores  $b$  é suprimida.

### 3. RESULTADOS E DISCUSSÃO

Todas as arquiteturas apresentadas na seção anterior foram descritas na linguagem VHDL e sintetizadas para o dispositivo EP2S180F1508I4 da família de FPGAs Stratix II e o software Quartus II 8.0 da Altera (ALTERA, 2008). A análise de atraso de cada arquitetura foi efetuada pela ferramenta Altera *Classic Timing Analyzer* (ALTERA, 2008). A validação foi feita através da ferramenta ModelSim 6.1g da Mentor Graphics.

As amostras de entrada usam 20 bits para todas as arquiteturas. A IHAD 4x4 e a IDCT 4x4 possuem 24 bits de saída, enquanto a IHAD 2x2 possui 22 bits de saída. Este crescimento na faixa dinâmica é função dos estouros de representação nas operações de soma e subtração.

A Tabela 1 mostra os resultados obtidos com a síntese das arquiteturas. São indicadas a frequência de operação atingida e o uso de recursos de hardware de cada arquitetura, considerando o número de *Look-Up Tables* Adaptativas (*Adaptive Look-Up Tables* - ALUTs) e o número de Registradores Lógicos Dedicados (*Dedicated Logic Registers* - DLRs). Além destas informações, são apresentadas a latência e o nível de paralelismo de cada solução.

**Tabela 1.** Resultados de síntese para o FPGA Stratix II.

Arquiteturas	Latência	Nível de paralelismo	Frequência (MHz)	Nº ALUTs	Nº DLR
IHAD 4x4	1	16	132,54	1449	689
IHAD 4x4	2	16	191,13	1448	1032
IHAD 2x2	1	4	243,78	173	166
IHAD 2x2	2	4	379,65	172	247
IDCT 4x4	1	16	133,24	1445	684
IDCT 4x4	2	16	212,90	1444	1028

As maiores frequências de operação são atingidas pelas arquiteturas de dois estágios de *pipeline*, já que seus caminhos críticos são menores do que aqueles presentes nas arquiteturas com somente um estágio. A maior frequência de operação foi atingida pela IHAD 2x2 com dois estágios, a qual possui o menor caminho crítico, com somente um operador. As arquiteturas que consomem menos recursos de hardware são as de um estágio de *pipeline*, pois elas possuem uma barreira de registradores a menos do que as de dois estágios.

A Tabela 2 apresenta a taxa de processamento atingida pelas arquiteturas. A primeira coluna mostra a latência das arquiteturas. Os resultados de desempenho são mostrados de três maneiras diferentes: a máxima taxa de processamento atingida em milhões de amostras por segundo, o número máximo de quadros QHDTV (3840x2048 *pixels*) processados por segundo, e a frequência de operação mínima que permite tempo real quando quadros QHDTV estão sendo processados. Além disso, a Tabela 2 também apresenta a relação entre taxa de processamento e latência, que é útil para verificar qual é a melhor solução quando considerados os dois parâmetros em conjunto.

**Tabela 2.** Taxa de processamento das arquiteturas para o Stratix II.

Arquiteturas	Latência	Taxa de	Quadros	Freq. Min.	Taxa de
--------------	----------	---------	---------	------------	---------

		Processamento (Mamostras/s)	QHDTV por segundo	QHDTV (MHz)	Processamento/ Latência
HAD 4x4	1	2120,64	6471	0,61	2120,64
IHAD 4x4	2	3058,08	9332	0,61	1529,04
IHAD 2x2	1	975,12	1487	4,9	975,12
IHAD 2x2	2	1518,60	2317	4,9	759,3
IDCT 4x4	1	2131,84	6505	0,61	2131,84
IDCT 4x4	2	3406,40	10395	0,61	1703,2

Todas as arquiteturas são capazes de atingir tempo real quando vídeos de altíssima resolução são processados (como QHDTV). As arquiteturas com maior taxa de processamento, como esperado, foram as de 2 estágios, as quais são capazes de processar mais de 10 mil quadros QHDTV por segundo no caso da IDCT, 9 mil quadros por segundo no caso da IHAD 4x4, e 2 mil quadros no caso da IHAD 2x2. A diferença entre esses valores é explicada pelo número de amostras por quadro que cada transformada processa, como já mencionado anteriormente.

O resultado mais importante apresentado na Tabela 2 é o da relação entre taxa de processamento e latência, que mostra ampla vantagem às soluções com um estágio de *pipeline*. Esse resultado é função direta da constatação de que o uso de dois estágios de *pipeline* nas arquiteturas das transformadas acaba por não duplicar as frequências de operação em relação às soluções com um único estágio. Assim, as soluções com um estágio de *pipeline* são mais eficientes quando latência e taxa de processamento estão sendo avaliadas em conjunto. Por isso, esta solução é a mais indicada para o uso em conjunto com o codificador intra.

É importante observar, que, desconsiderando as restrições da predição intra, todas as arquiteturas são capazes de atingir tempo real para resoluções elevadas com frequências muito baixas, o que pode ser interessante em projetos que visam baixo consumo de energia.

#### 4. CONCLUSÕES

Este artigo apresentou uma investigação arquitetural das transformadas inversas Hadamard 2-D 4x4, Hadamard 2-D 2x2 e DCT 2-D 4x4, definidas no padrão H.264/AVC.

O objetivo principal deste trabalho foi investigar e implementar arquiteturas para as transformadas inversas, que satisfizessem as restrições da predição intra, o que significa encontrar uma arquitetura com uma alta taxa de processamento e baixa latência. Deste modo, com base nos resultados apresentados, fica claro que as arquiteturas com um estágio de *pipeline* apresentaram o melhor desempenho.

Outra importante contribuição deste trabalho é a elevada taxa de processamento atingida em todas as soluções, o que permite a utilização destas em diversas aplicações além daquela que é foco desta pesquisa.

Como trabalhos futuros, planeja-se desenvolver e integrar os módulo T,  $T^{-1}$ , Q,  $Q^{-1}$ , respeitando as restrições da predição intra.

#### 5. REFERÊNCIAS BIBLIOGRÁFICAS

ALTERA CORPORATION: Altera - The Programmable Solutions Company. Disponível em: <<http://www.altera.com>> Acesso em: 09 jun 2008.

FÓRUM DO SISTEMA BRASILEIRO DE TV DIGITAL TERRESTRE. Disponível em:  
<<http://www.forumsbtvd.org.br>> Acesso em: 09 jun. 2008.

JOINT VIDEO TEAM OF ITU-T AND ISO/IEC JTC 1. Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification (ITU-T Rec. H.264 or ISO/IEC 14496-10 AVC), 2003.

RICHARDSON, I.. **H.264/AVC and MPEG-4 Video Compression – Video Coding for Next-Generation Multimedia**. Chichester :John Wiley and Sons, 2003.