



Geração de Lógica CMOS através de Árvores de Operadores

Autor(es): Kist, Deives Mesquita; Pereira, Rafael Lima; Sant'Ana, Samuel

Apresentador: Deives Mesquita Kist

Orientador: Leomar Soares da Rosa Junior

Revisor 1: Lisane Brisolara de Brisolara

Revisor 2: Julio Carlos Balzano de Mattos

Instituição: Universidade Federal de Pelotas

Resumo:

Na indústria eletrônica moderna, uma vasta gama de produtos é fabricada contendo circuitos integrados digitais. A utilização destes circuitos é uma tendência, tendo como principal motivação o crescente mercado mundial de eletrônicos. Neste cenário existe uma grande demanda pelo estudo de métodos para produção de circuitos digitais implementados com lógica CMOS. A lógica CMOS é baseada na teoria de chaveamento, sendo composta por dois tipos de transistores: NMOS e PMOS. O transistor NMOS comporta-se como uma chave fechada quando o valor lógico '1' é aplicado em seu terminal de porta, enquanto o transistor PMOS atua como uma chave fechada quando o valor lógico '0' é aplicado ao terminal. Através destas características é possível realizar a implementação de portas lógicas CMOS utilizando arranjos destes dois tipos de transistores, compondo duas redes independentes, uma formada por transistores PMOS e a outra formada por transistores NMOS. A representação de circuitos digitais pode ser obtida através de expressões matemáticas conhecidas por equações Booleanas. Em lógica CMOS, cada literal da expressão é mapeado para dois transistores na rede, um do tipo NMOS e outro do tipo PMOS. Neste trabalho uma ferramenta de geração de portas lógicas CMOS foi desenvolvida, a qual recebe como entrada equações Booleanas e gera na saída arquivos Spice, que descrevem os transistores que compõem o circuito e as conexões entre eles. O algoritmo principal da ferramenta recebe uma expressão de entrada e a transforma em uma expressão pós-fixada. Na sequência, esta expressão pós-fixada é armazenada em uma árvore binária de operadores. Para gerar a rede composta de transistores NMOS, esta árvore é percorrida de maneira que os caminhos da sub-árvore à direita e os caminhos da sub-árvore à esquerda sejam traduzidos em arranjos de transistores em série se a raiz que armazena o operador lógico é um AND. Caso o operador lógico seja um OR, então os caminhos são traduzidos em arranjos de transistores em paralelo. De forma análoga, para construir a rede de transistores PMOS, a árvore é percorrida novamente, mas os arranjos de transistores série e paralelo são construídos quando os operadores lógicos OR e AND forem encontrados. Esta etapa possibilita a construção de duas redes logicamente complementares, que unificadas compõem a lógica CMOS. Por fim, a descrição da rede é gerada em formato Spice, obedecendo ao padrão definido pela indústria e podendo ser simulado por ferramentas comerciais.