

## HARDWARE DE BAIXO CUSTO PARA A IMDCT DO PADRÃO AAC DE CODIFICAÇÃO DE ÁUDIO

**CARDOSO, Gabriel; CORRÊA, Marcel; LEAL, Thaisa**

Grupo de Arquitetura e Circuitos Integrados - GACI  
Universidade Federal de Pelotas - UFPel

**AGOSTINI, Luciano**

Grupo de Arquitetura e Circuitos Integrados - GACI  
Universidade Federal de Pelotas - UFPel

### 1 INTRODUÇÃO

O *Advanced Audio Coding* (AAC) ou Codificador de Áudio Avançado (FUNTELL,2006) é o padrão de codificação de áudio digital adotado pelo Sistema Brasileiro de TV Digital (SBTVD) (FUNTELL,2006) e, para sua implementação, diversos pesquisadores brasileiros estão engajados em produzir soluções arquiteturais para os codificadores e decodificadores deste padrão.

Na codificação de áudio, um dos principais componentes de um codificador/decodificador é o Banco de Filtros. Ele é responsável pela transformação do sinal de áudio do domínio temporal para o domínio das frequências no codificador e pela inversão desta transformação no decodificador. Esta transformação é importante, pois torna possível a remoção de informações não relevantes do sinal, como frequências as quais o ouvido humano não é sensível, e também habilitando o codificador a tratar mais especificamente as informações do áudio aumentando, assim, à compressão. Na especificação do codificador AAC, o Banco de Filtros baseia-se na aplicação de uma função *Modified Discrete Cosine Transformation* (MDCT) ou Transformada Discreta do Cosseno Modificada, que será aplicada a um bloco de amostras do sinal. A MDCT trata-se de uma transformada de Fourier que foi desenvolvida sobre o princípio da técnica nomeada como *Time-Domain Aliasing Cancellation* (TDAC) ou Cancelamento de *Aliasing* no Domínio Temporal. A TDAC é uma técnica que torna possível reconstruir as amostras após serem aplicadas à função, de forma a não haver perdas e nem modificações durante reconstrução destas amostras, ou seja, é possível obter os valores iniciais mesmos após serem aplicados à função. Esta técnica é necessária, pois há uma diferente quantidade de amostras na entrada e na saída da transformação entre os domínios. Para ser mais exato, haverá só metade das amostras após a aplicação da transformada. No caso da MDCT, para aplicar a TDAC é feito o uso de uma função inversa da MDCT, chamada de IMDCT, e uma função de sobreposição.

É importante ressaltar que os blocos que serão aplicados à MDCT têm tamanhos diferentes, podendo variar dinamicamente entre 256 ou 2048 amostras. O uso de tamanhos de blocos variáveis melhora a codificação do sinal, pois torna possível adaptar-se tanto para sinais de áudio estacionários quanto alternantes (BRANDENBURG,2000). Para suportar esta característica, é necessário que sejam desenvolvidas soluções arquiteturais que tenham a capacidade de se adaptar a estas mudanças, que podem ocorrer conforme o processo de codificação/decodificação.

Este trabalho tem como principal objetivo propor uma solução arquitetural eficiente para a IMDCT presente no Banco de Filtros do decodificador AAC. Sendo assim, é desejável que a arquitetura utilize poucos recursos de hardware e que tenha elevada taxa de processamento, para que seja possível realizar o cálculo da IMDCT para ambos tamanhos de blocos e para que seja possível integrar esta arquitetura em um decodificador AAC completo.

## 2 METODOLOGIA

Inicialmente, foram estudados algoritmos já existentes para averiguar sua confiabilidade e sua possibilidade de implementação em hardware. Para isto, foram realizadas avaliações em software com o intuito de colher a maior quantidade possível de informações sobre os algoritmos. Para avaliar a confiabilidade dos algoritmos, os seus resultados foram comparados com os resultados definidos na especificação do padrão. Além disso, para decidir qual algoritmo iria ser implementado, foi utilizada como métrica o número de ciclos necessários para a execução do algoritmo e uma breve avaliação do uso de recursos de hardware.

Após a avaliação em software dos algoritmos, iniciou-se o desenvolvimento da arquitetura na linguagem VHDL, uma linguagem de descrição de hardware amplamente utilizada no meio acadêmico e industrial. A arquitetura é baseada no algoritmo proposto em (HENG,2003), o qual transforma a IMDCT, após transformações trigonométricas, em um algoritmo que tem como base uma DCT do tipo II (DCT-II). A descrição VHDL da arquitetura desenvolvida foi sintetizada utilizando a ferramenta ISE 12.1 da Xilinx.

A arquitetura é composta de três módulos principais. Estes são respectivamente: (1) multiplicação por coeficientes cossenoidais, o qual é responsável pelo pré-processamento das entradas que serão utilizadas no módulo seguinte; (2) o cálculo da DCT-II, que realiza a parte inicial do TDAC, e (3) o módulo *butterfly* o qual rearranja as saídas. A Figura 1 apresenta o diagrama de blocos da arquitetura.



Figura 1. Diagrama de Blocos da Arquitetura da IMDCT

É importante ressaltar que no algoritmo proposto em (HENG,2003) o desempenho é ditado pela DCT-II. Por tratar-se de uma multiplicação de um vetor por uma matriz quadrada, o módulo torna-se muito custoso quanto ao número de ciclos necessários para realizar o cálculo. Para alcançar um melhor desempenho na arquitetura, foi usado o algoritmo proposto em (CHAN,1990) para calcular a DCT-II. Com este algoritmo, torna-se possível dobrar a eficiência do módulo, pois o algoritmo possibilita efetuar o cálculo de duas amostras ao mesmo tempo, aproveitando que ambas amostras tem o mesmo coeficiente na respectiva linha da matriz da DCT-II. O módulo da arquitetura proposta neste trabalho usa o cálculo de quatro amostras em paralelo, utilizando 256 ciclos para que seja gerada uma amostra na saída, conforme mostra a Figura 2.

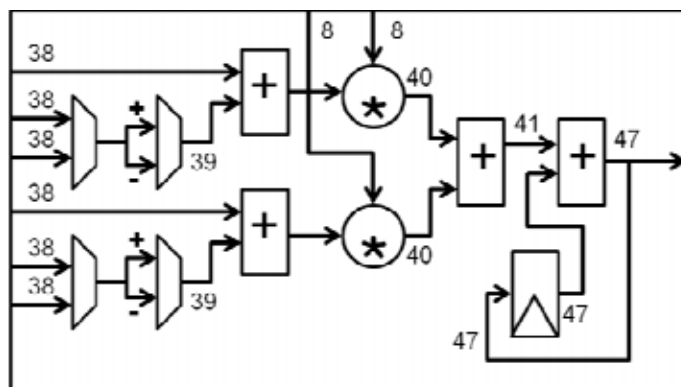


Figura 2. Diagrama de Blocos do Módulo da DCT-II

### 3 RESULTADOS E DISCUSSÕES

O uso de uma abordagem diferente sobre o algoritmo da IMDCT, ampliando o paralelismo, gerou ganhos importantes. Através dos testes em software, foi possível observar que o número de ciclos necessários para efetuar o cálculo da IMDCT foi reduzido de 2048 para somente 256 ciclos, considerando entradas de tamanho variável no Banco de Filtros do decodificador. Deste modo, foi possível atingir um ganho de eficiência de oito vezes no cálculo da IMDCT com pequeno aumento da quantidade de hardware necessária para efetuar o cálculo.

Os resultados de síntese para a arquitetura desenvolvida são apresentados na Tabela 1. A síntese foi direcionada para o dispositivo FPGA XC5VLX30 da família Virtex 5 da Xilinx (XILINX.COM,2010). É importante ressaltar que o custo em área utilizada para sintetizar a arquitetura é bem pequeno. Foi necessário somente um pequeno aumento no uso de recursos de hardware para gerar um grande aumento na taxa de processamento da arquitetura. Este ganho foi possível pelo uso do algoritmo proposto em (CHAN,1990) para realizar a DCT-II, além do uso do paralelismo de quatro amostras na entrada. Assim a arquitetura consegue alcançar taxas de processamento que permitem decodificar áudio com até seis canais em tempo real, atingindo, assim, as necessidades especificadas pelo padrão adotado no Brasil.

Tabela 1. Resultados de Síntese para FPGA da Xilinx

Módulo	Virtex 5 - XC5VLX30			
	Freq. (MHz)	#Slice Registers	#Slices LUTs	#LUT Flip-Flops
Multiplicação pelos Coeficientes	177,551 Mhz	284	56	340
DCT-II	113,273 Mhz	364	188	487
Buttefly	206,877 Mhz	198	247	345

A Tabela 2 apresenta a taxa de processamento necessária para a decodificação de diferentes quantidades de canais de áudio, bem como a frequência mínima necessária para a arquitetura proposta neste trabalho atingir tempo real para cada uma das configurações. Como é possível perceber, a arquitetura desenvolvida é capaz de calcular com folga o que seria necessário

para seis canais de áudio em tempo real. Além disso, com apenas 74MHz a arquitetura seria capaz de processar os seis canais definidos pelo SBTVD em tempo real.

**Tabela 2. Taxa de processamento e frequência mínima para 256 ciclos**

Resolução	IMDCT	
	Amostras/seg	Frequência(MHz)
1 Canal de Áudio (Mono)	96.000	12,288 Mhz
2 Canais de Áudio (Stéreo)	192.000	24,576 Mhz
6 Canais de Áudio	576.000	73,728 Mhz
<b>Arquitetura Desenvolvida</b>	884.945	113,273 Mhz

A alta taxa de processamento alcançada por essa arquitetura é importante quando aplicações com elevada qualidade de áudio são levadas em consideração, já que é possível atingir tempo real para seis canais de áudio.

#### 4 CONCLUSÕES

Esse trabalho apresentou uma arquitetura para o cálculo da IMDCT para blocos de tamanho variáveis presente no Banco de Filtros do AAC, utilizando algoritmos propostos na literatura para aumentar a eficiência desta arquitetura.

Como trabalhos futuros pretendem-se unificar os módulos e seus controles e validar a arquitetura completa. Além disso, é importante destacar que esta arquitetura tem potencial para ser utilizada em sistemas embarcados móveis, como celulares e tocadores de áudio portáteis, tendo em vista que a arquitetura tem um baixo consumo de área e atinge tempo real com uma frequência de operação relativamente baixa (74MHz).

#### 5 REFERÊNCIAS

BRANDENBURG, Karlheinz, KUNZ, Oliver, SUGIYAMA, Akihiko . MPEG-4 natural audio coding. **Signal Processing: Image Communication**, n. 15, p. 423 - 444, 2000.

CHENG, Mu-Huo, HSU, Yu-Hsin. Fast IMDCT and MDCT Algorithms – A Matrix Approach. **IEEE Transactions on Signal Processing**, v. 51, n. 1, p. 221-229, janeiro de 2003.

CHAN, S.C, HO, K.L.. Discrete methods for computing discrete sinusoidal transforms. **Radar & Signal Processing, IEE Proceedings F**, v. 137, p. 433 - 442, dezembro de 1990.

XILINX. **FPGA and CPLD Solutions from Xilinx, Inc.** Disponível em: <www.xilinx.com>. Acesso em: 13, julho de 2010.

FUNTELL. **Projeto Brasileiro de Televisao Digital OS 40544.** Brasil: 10 de fevereiro de 2006.