

## ARQUITETURA OTIMIZADA DE DCT 2-D 16x16 PARA HEURÍSTICA DO MODO DE DECISÃO DO PADRÃO H.264/AVC

**SOUZA, Renato; PORTO, Roger;**  
Grupo de Arquiteturas e Circuitos Integrados  
Universidade Federal de Pelotas

**AGOSTINI, Luciano; DA ROSA JR., Leomar;**  
Grupo de Arquiteturas e Circuitos Integrados  
Universidade Federal de Pelotas

### 1 INTRODUÇÃO

O padrão H.264/AVC (ITU-T, 2007) é o estado-da-arte em compressão de vídeos digitais. Para alcançar altas taxas de compressão o H.264/AVC utiliza diversas técnicas que o tornam o padrão com a maior complexidade computacional dentre os padrões atuais (AGOSTINI, 2007). Entre as tarefas a serem realizadas pelo padrão H.264/AVC, uma das mais complexas é o modo de decisão (RICHARDSON, 2003). Isso se deve à necessidade de codificar todas as possibilidades para um macrobloco de 16x16 *pixels* e, a partir destes resultados, realizar a escolha do melhor modo de codificação a ser utilizado. Com o intuito de simplificar o modo de decisão do H.264/AVC, Corrêa (CORRÊA, 2010) propõe uma heurística baseada no cálculo dos coeficientes de baixa frequência da Transformada Discreta do Coseno, DCT. Neste caso, a DCT 16x16 serve para identificar a homogeneidade do macrobloco.

Este trabalho apresenta a implementação de uma arquitetura em hardware para o cálculo de 24 coeficientes da DCT 16x16, conforme a Figura 1. Esta arquitetura foi empregada no trabalho de Corrêa (CORRÊA, 2010). Os próximos itens deste trabalho apresentam os passos utilizados no desenvolvimento da arquitetura, seus detalhes de implementação, resultados de síntese e conclusões.

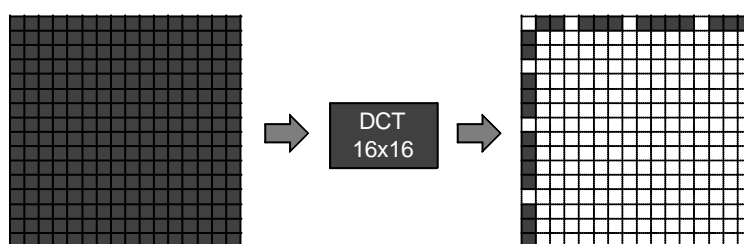


Figura 1. Cálculo dos 24 coeficientes de baixa frequência da DCT 16x16.

### 2 METODOLOGIA (MATERIAL E MÉTODOS)

Inicialmente foi realizado o agrupamento de operações semelhantes para diminuir a área de hardware. Deste processo, resultaram dezesseis grupos de padrões de operações semelhantes que se repetiam tanto para as linhas quanto para as colunas a serem calculadas.

A arquitetura projetada para o cálculo da DCT 16x16 é composta por diversos módulos, entre eles um seletor, dezesseis módulos somadores, uma árvore de operadores, um buffer de saída e um controle. O diagrama em módulos

da arquitetura da DCT 16x16 é apresentado na Figura 2. As 256 entradas representam a matriz a ser transformada e os 24 elementos de saída, os coeficientes calculados. A arquitetura foi totalmente descrita em VHDL de forma hierárquica. Após a descrição da arquitetura, esta foi sintetizada para um dispositivo FPGA.

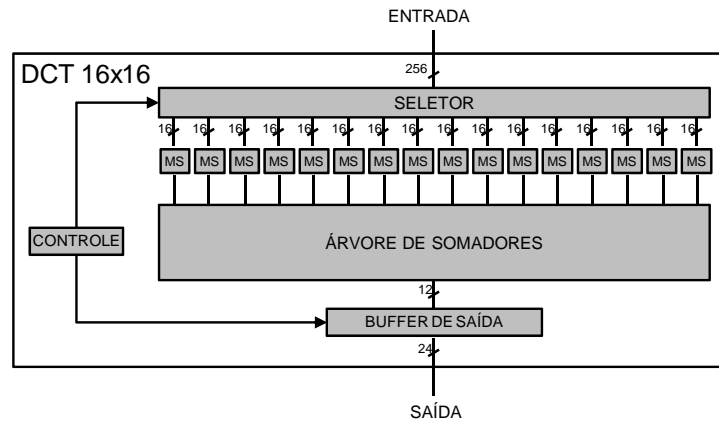


Figura 2. Diagrama em módulos da arquitetura da DCT 16x16.

A função do seletor é organizar as 256 entradas da DCT de acordo com um sinal enviado pelo controle. Dependendo do valor deste sinal, o cálculo da DCT é realizado para gerar as colunas ou as linhas de saída. O seletor organiza essas entradas de acordo com o seu respectivo grupo. Após serem selecionadas as entradas corretas, o seletor as envia para os módulos somadores. Cada módulo de somadores realiza a soma de 16 amostras referentes a cada grupo. Assim, são 16 módulos de somadores. As operações nos módulos somadores são realizadas em quatro estágios de *pipeline* conforme mostra a Figura 3. Como o comportamento destes módulos é o mesmo, foi utilizada apenas uma descrição em VHDL que foi instanciada em todos os módulos MS (módulo somadores) da Figura 3.

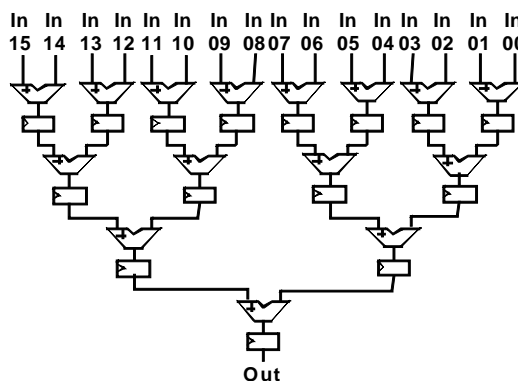


Figura 3. Arquitetura de um módulo de somadores.

A ideia principal nesta arquitetura é realizar, nos módulos somadores, as operações comuns que restaram após o reaproveitamento. As operações de subtração e deslocamento foram transferidas para o módulo da árvore de operadores para melhor aproveitamento do hardware.

A árvore de operadores é responsável por realizar os deslocamentos e as subtrações necessárias que não foram realizadas anteriormente e também algumas somas. Neste módulo também foi possível conseguir um grande

aproveitamento de operadores devido à grande quantidade de operações semelhantes. Da mesma forma que nos módulos somadores, o processo do cálculo também é realizado em quatro estágios de *pipeline*. A arquitetura da árvore de operadores é apresentada na Figura 4. Em cada módulo, representados pelas letras A até O na Figura 4, são executados doze operações, entre elas somas, subtrações e deslocamentos. Apesar de cada módulo apresentar operações semelhantes, o comportamento de cada uma delas é diferente em cada módulo.

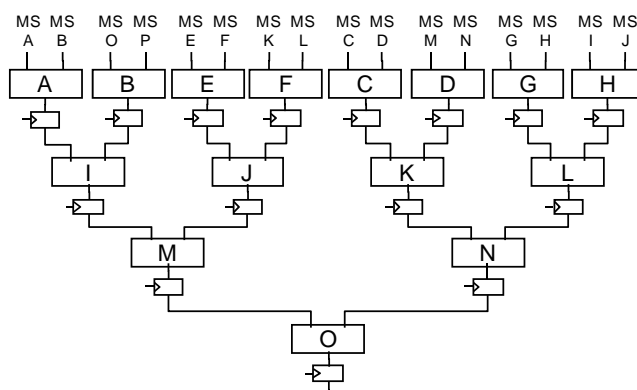


Figura 4. Arquitetura da árvore de somadores, utilizando *pipeline*.

O buffer de saída organiza os coeficientes para a saída da DCT. Quando o cálculo de um conjunto de elementos estiver pronto, o controle envia para o buffer um sinal indicando que estes doze coeficientes devem ser armazenados. Após oito ciclos, o controle envia um sinal para o buffer informando que o cálculo do próximo conjunto está pronto. Então, o buffer de saída organiza os doze coeficientes do conjunto anterior com os doze coeficientes do conjunto atual para que sejam enviados para a saída da DCT. Cada conjunto representa uma linha ou coluna do bloco de saída, conforme a Figura 1. Assim, os vinte e quatro coeficientes de saída são enviados de uma só vez à saída. Por fim, o controle é uma máquina de estados, que de oito em oito ciclos, gera os sinais necessários para o funcionamento correto do seletor e do buffer de saída.

### 3 RESULTADOS E DISCUSSÕES

A Tabela 1 apresenta os resultados obtidos para a síntese da arquitetura da DCT 2-D 16x16. A síntese foi direcionada para o dispositivo FPGA VP30 da família Virtex Pro – II da Xilinx (XILINX INC, 2010). Os resultados são apresentados individualmente para cada bloco e também para a arquitetura completa.

Tabela 1: Resultados de síntese.

Módulo	Nº. de Slices e % de Uso	Nº. de Slice Flip Flops e % de Uso	Nº. de LUTs de 4 entradas e % de Uso	Frequência (MHz)
Seletor	1104 (8%)	-	1920 (7%)	-
Módulo Somador *	118 (~0%)	146 (~0%)	146 (~0%)	366,64
Árvore de Somadores	1434 (10%)	1891 (6%)	1894 (6%)	344,54
Buffer de Saída	222 (1%)	192 (~0%)	386 (1%)	-
Controle	4 (~0%)	6 (~0%)	9 (~0%)	549,18
DCT 16x16	3473 (25%)	4639 (16%)	6368 (23%)	292,24

\* apenas um módulo

Dispositivo: 2vp30fg676-7

Os resultados de síntese indicam que a arquitetura desenvolvida é capaz de atingir elevadas taxas de processamento, sendo suficiente para utilizar na arquitetura global de decisão de modo. Mesmo com todas as expressivas simplificações causadas pelo reuso de operadores, ainda assim a arquitetura possui taxas elevadas de uso de recursos de hardware.

#### 4 CONCLUSÕES

Este trabalho apresentou a implementação de uma arquitetura em hardware para a DCT 16x16 do padrão H.264/AVC. Esta arquitetura calcula os 24 coeficientes de baixa frequência utilizados na decisão do modo de codificação de um trabalho relacionado.

O processo de agrupamento de operações semelhantes e de redução nos coeficientes utilizados possibilitou a diminuição expressiva no número de operadores necessários e, por consequência, diminuiu também o consumo de hardware. Seriam necessários 65.280 operadores se fosse realizado o cálculo completo sem agrupamentos. Com o reaproveitamento de operações, esta arquitetura utilizou 373 operadores, sendo 240 operadores nos módulos somadores, 132 operadores na árvore de operadores e 1 operador no controle.

Como resultados de síntese, a arquitetura é capaz de operar em uma frequência máxima de 292,24 MHz. Além disso, a arquitetura ocupou cerca de 25% dos recursos de hardware disponíveis no FPGA alvo. Tais resultados permitem que a arquitetura seja utilizada na solução baseada em heurística para a decisão de modo do padrão H.264/AVC que foi desenvolvida em (CORRÊA, 2010) e, deste modo, este trabalho atingiu os objetivos propostos.

#### 5 REFERÊNCIAS

- [1] ITU-T. **ITU-T Recommendation H.264/AVC (11/07): Advanced video coding for generic audiovisual services**, 2007.
- [2] AGOSTINI, Luciano. **Desenvolvimento de Arquiteturas de Alto Desempenho Dedicadas à Compressão de Vídeo Segundo o Padrão H.264/AVC**. 2007. Tese de Doutorado em Ciência da Computação – Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2007.
- [3] RICHARDSON, Iain. **H.264 and MPEG-4 Video Compression – Video Coding for Next-Generation Multimedia**. Chichester: John Wiley&Sons, 2003.
- [4] CORRÊA, Guilherme, et al. Homogeneity and Distortion-Based Intra Mode Decision Architecture for H.264/AVC. In. **ICECS 2010 - 17TH IEEE INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS, AND SYSTEMS**, (artigo submetido).
- [5] XILINX INC. **Virtex-II Pro and Virtex-II Pro X Platform FPGAs: Complete Data Sheet**. [S.l.], 2005. Disponível em: <www.xilinx.com>. Acesso em agosto de 2010.